

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-086611  
(43)Date of publication of application : 18.04.1988

(51) Int.Cl. H03K 3/286  
H03K 3/289

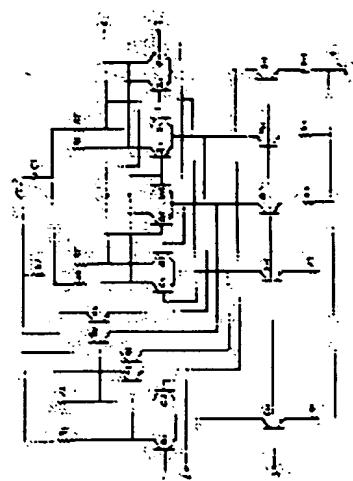
(21)Application number : 61-231450 (71)Applicant : NEC CORP  
(22)Date of filing : 29.09.1986 (72)Inventor : YOSHIMURA YUMI

**(54) FLIP FLOP**

**(57)Abstract:**

**PURPOSE:** To reduce the number of pieces of transistors present in series between a power source and a ground and to enable a low voltage operation by constituting a differential amplifier having a clock input terminal between the power source and the ground.

**CONSTITUTION:** If a clock pulse is inputted from terminals 1, 2, the collector of a Q1 is in Low, and that of a Q2 is in High, Q3 and Q4 turns off i.e. the emitter-potentials of the Q3 and Q4 lower, Q7 or Q8 turns on and Q13 or Q14 also turns on, and thus data is determined. At this time, if the collector of the Q7 is in High and that of the Q8 is in Low, the collector of the Q1 comes in High in the next moment, and the collector of the Q2 comes in Low likewise, Q3 and Q4 turns on, Q5 and Q6 off, Q7, Q8, Q13, Q14 turn off, and Q10, Q11 turn on, and thus the data is held. In the mean time, one of the load resistors of the differential amplifier having the clock input terminal is in connection with the power source, the other of the load resistors of the differential amplifier that constitute a master-and-slave type, is connected to a voltage line of a potential lower than that of the power source by the potential drop due to R3.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998-2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭63-86611

⑥Int.Cl.  
H 03 K 3/286  
- 3/289

識別記号 廈内整理番号  
Z-8626-5J  
8626-5J

⑩公開 昭和63年(1988)4月18日  
審査請求 未請求 発明の数 1 (全3頁)

⑤発明の名称 フリップフロップ

⑪特願 昭61-231450  
⑫出願 昭61(1986)9月29日

⑦発明者 吉村由美 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑧出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑨代理人 弁理士 内原晋

明細書

1. 発明の名称

フリップフロップ

2. 特許請求の範囲

(1) 2組のマスター型及びスレーブ型のエミッタカップルドロジック形式のフリップフロップが従続接続され、電源とコレクタ抵抗を有した第1及び第2トランジスタで構成されクロック入力端子をもつ差動増幅器を有し、前記第1及び第2トランジスタのコレクタに2個ずつのトランジスタのベースを接続し、前記2個のトランジスタのエミッタは、異なる組の前記マスター型及びスレーブ型のフリップフロップの差動増幅器の共通エミッタにそれぞれ接続されていることを特徴とするエミッタカップルドロジック形式のフリップフロップ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、エミッタカップルドロジック型(以下ECL型と略す)フリップフロップに関する。

〔従来の技術〕

従来、この種のECL型フリップフロップは、マスター及びスレーブ型を構成する差動増幅器のエミッタにクロック入力用の差動増幅器のコレクタを直接接続した紙型接続の形式をとっていた。

第3図に、従来のECL型フリップフロップの回路を示す。

端子1、2からクロックを入力し、Q20、Q23がオンの時、Q21、Q22はオフし、すなわち、Q20、Q23のコレクタ電位が下がり、Q20、Q23のコレクタにエミッタが接続されている差動増幅器のQ7又はQ8、Q13又はQ14がオンする。また、Q21、Q22がオフの時、Q21、Q22のコレクタ電位は上がり、Q9、Q10、Q11、Q12はすべてオフ状態となる。

第3図で、グランド4と地線5の間に、トランジスタ3個が紙型に接続されており、クロック

入力の振幅なども考慮し、どのトランジスタも飽和させないで動作させようとすると、トランジスタのベース、エミッタ間電圧が約0.7～0.9Vであるから、約3Vの電源電圧は必要となってくる。

#### (発明が解決しようとする問題点)

上述した従来のECL型フリップフロップは、差動増幅器が、2段積み重ねられているため、電源電圧は、3V系以上でないとトランジスタが飽和して動作しないという欠点があった。

最近、ICのローパワー化が進み、そのため低電圧化が要求されているが、従来のECL型フリップフロップでは低電圧化には対応できなかった。

上述した従来のECL型フリップフロップは、低電圧動作に不向きであったのに対し、本発明は、低電圧で動作可能な点に独創的内容を有する。

#### (問題点を解決するための手段)

本発明のECL型フリップフロップは、クロック入力端子を持つ差動増幅器を電源とグランド間に作成し、その出力をエミッタホロアを通してマスター型及びスレーブ型フリップフロップを構成

荷抵抗の片側は、電源からR3の抵抗分低い電圧ラインに接続されている。

これは以下の理由による。

今、R3がなく、R4、R5、R6、R7の片側が電源ラインに直接接続されており、Q3、Q4がオフ、Q5、Q6がオンで、マスター側のQ7のコレクタがHigh、Q8のコレクタがLowとなっているとする。この時、Q5、Q6ベース電位は電源電圧のVcc、Q7のコレクタもVcc、Q8のコレクタはQ16、17、18、19を流れる電流をIoとするとVcc - Io × R5となる。

今、スレーブ側のQ9、Q10はオフであるべきだが、Q5とベースがQ7のコレクタに接続しているQ10のベース電位が同時にVccになり、Q5とQ10がオンし、スレーブ側が動作してしまい、誤動作を引き起こしてしまう。ここで、Q10のベース電位がQ5のベース電位より低ければ問題ない。それゆえ、マスター及びスレーブ型差動増幅器のHighレベルは、クロック入力端子をもつ差動増幅器のHighレベルより低く設定する必

している差動増幅器のエミッタに接続する手段を有する。

#### (実施例)

図面を用いて、本発明について図面を参照して説明する。第1図は、本発明の一実施例のT型フリップフロップである。端子1、2よりクロックバルスが入力され、Q1のコレクタがLow、Q2のコレクタがHighとすると、Q3、Q4はオフし、すなわちQ3、Q4のエミッタ電位は下がる。そうすると、Q7又はQ8、Q13又はQ14がオンし、データを決定する。この時、Q7のコレクタがHigh、Q8のコレクタがLowとなっているとする。

次の瞬間、Q1のコレクタがHigh、Q2のコレクタがLowとなり、Q3、Q4がオンQ5、Q6がオフでQ7、Q8、Q13、Q14がオフ、Q10、Q11がオンし、データが保持される。

一方、クロック入力端子を持つ差動増幅器の負荷抵抗の片側は電源に接続されているが、マスター及びスレーブ型を構成している差動増幅器の負

荷がある。

なお、グランドと電源との間に緩型接続しているトランジスタは2個であるため、2V系でも動作可能である。

#### (実施例2)

第2図は、本発明の実施例2のD型フリップフロップである。実施例1では、入力データは内部で偏置されて決定されているが実施例2では、端子8、9より外部からデータを得る点が異なるだけで、動作はまったく同様である。

#### (発明の効果)

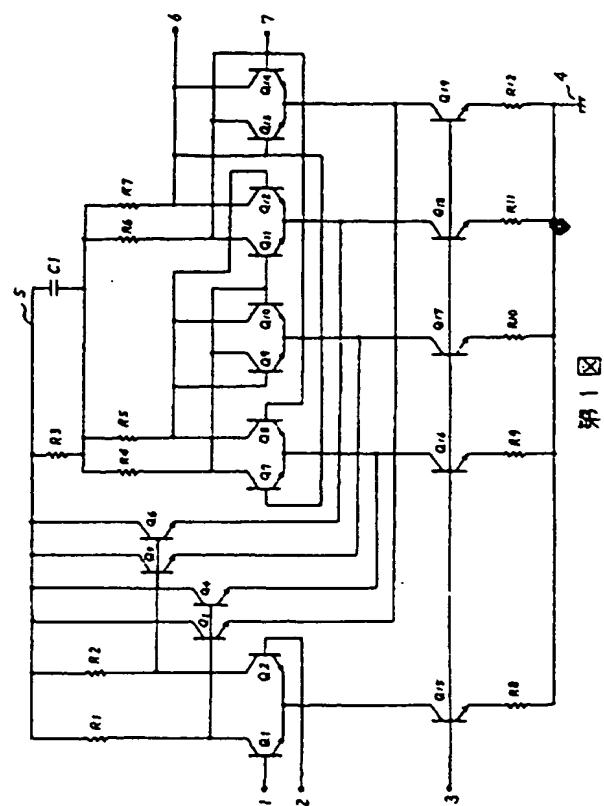
以上、説明したように、本発明は、クロック入力端子をもつ差動増幅器を、マスター型及びスレーブ型フリップフロップを構成している差動増幅器下に直ねずに、電源とグランド間に構成することにより、電源とグランド間に緩型に存在するトランジスタの数を減らし、低電圧動作を可能にする効果を有する。

#### 4. 図面の簡単な説明

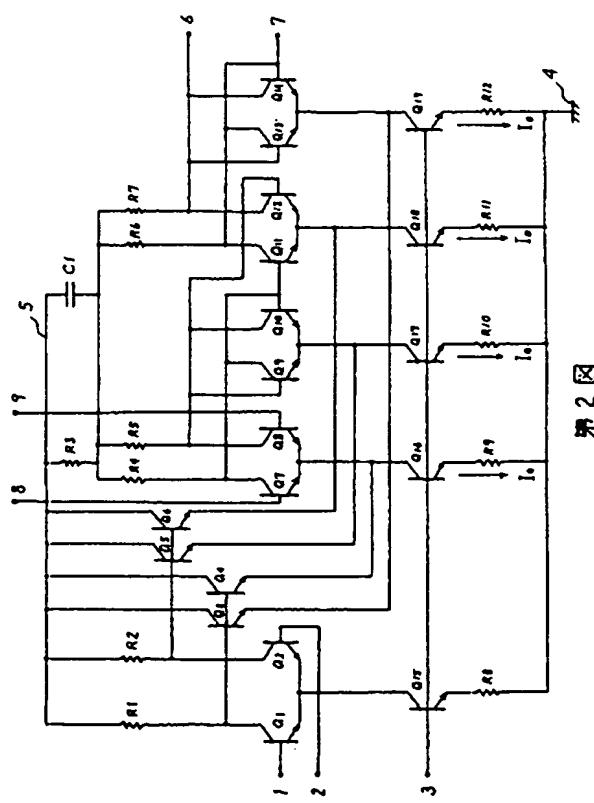
第1図は、本発明のT型フリップフロップ、第2図は、本発明のD型フリップフロップ、第3図は、従来のT型フリップフロップ。

1 ……クロック入力端子、2 ……クロック反転入力端子、3 ……リファレンス電圧、4 ……グラウンド、5 ……電源電圧、6 ……出力端子、7 ……反転出力端子、Q<sub>1</sub> ~ Q<sub>25</sub> ……NPNトランジスタ、R<sub>1</sub> ~ R<sub>14</sub> ……抵抗、8 ……データ入力端子、9 ……データ反転入力端子、C<sub>1</sub> ……発振止めコンデンサ。

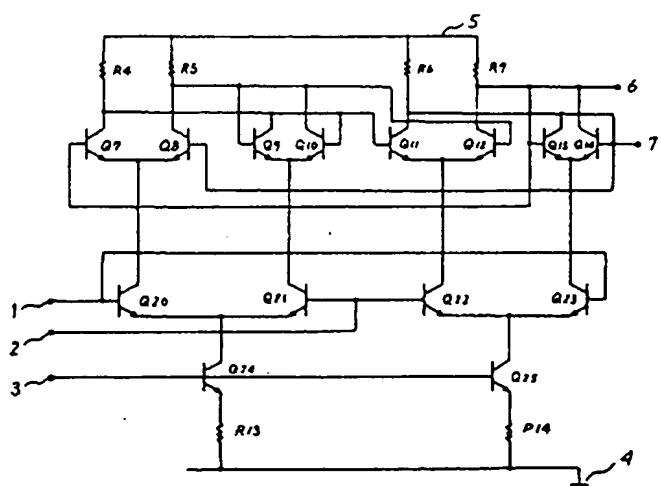
代理人弁理士 内原晋



第1図



第2図



第3図